



JP5267617

Biblio.

Page 1

Drawing

esp@cenet

**DYNAMIC RAM**

Patent Number: JP5267617
Publication date: 1993-10-15
Inventor(s): TAGUCHI MASAO
Applicant(s): FUJITSU LTD
Requested Patent: ☐ JP5267617
Application Number: JP19920061731 19920318
Priority Number(s):
IPC Classification: H01L27/108; G11C11/407
EC Classification:
Equivalents: JP3047605B2

Abstract

PURPOSE: To avoid the destination of stored data by a method wherein a memory cell is formed in an exclusive well to be electrically insulated from the well for a peripheral circuit.
CONSTITUTION: A p type well 13 for a peripheral circuit 2 and another p-type well 23 for a memory cell array part 3 are electrically insulated from each other so that, even if electrons are injected in the p type well 13 from the source of an n MOS transistor 16 to fluctuate the potential in the p type well 13, the p-type well 23 may not be affected by the fluctuation at all thereby enabling the destination of the stored data due to the pn junction between a storing electrode 34 and a p-type well 23 reaching the bias state in the normal direction to be avoided. Besides, in case a cell plate voltage is lowered by lowering an inner power supply voltage Vint, the potential in the p-type well 23 is lowered interlocking with the cell plate potential Vpr so that the pn junction between the storing electrode 34 and the p-type well 23 may not reach the bias state in the normal direction thereby enabling the backward bias to be sustained. Accordingly, the destruction of the stored data can be avoided.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-267617

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl.⁵

H 0 1 L 27/108

G 1 1 C 11/407

識別記号

庁内整理番号

F I

技術表示箇所

8728-4M

H 0 1 L 27/ 10

3 2 5 R

6628-5L

G 1 1 C 11/ 34

3 5 4 F

審査請求 未請求 請求項の数4(全7頁)

(21)出願番号

特願平4-61731

(22)出願日

平成4年(1992)3月18日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 田口 眞男

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

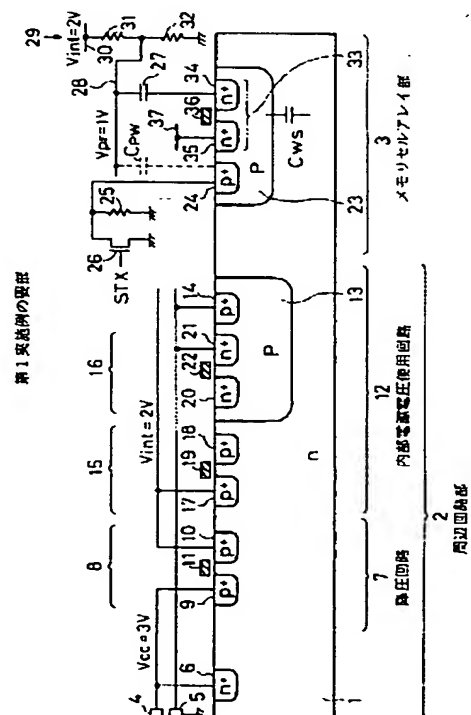
(74)代理人 弁理士 井桁 貞一

(54)【発明の名称】 ダイナミックRAM

(57)【要約】

【目的】 メモリセルが形成されたウエルのバックゲート電圧をゼロ・バイアス電圧とし、消費電力の低減化と、リフレッシュ特性の向上化とを図るようにしても、信号雑音等に原因した周辺回路部によるウエル電圧の変動や、セルプレートの電圧変動を原因として蓄積電極とウエルとの間のpn接合が順方向バイアス状態になることによる蓄積データの破壊を回避できるようにする。

【構成】 周辺回路部2のp型ウエル13とは電氣的に分離され、かつ、抵抗25を介して接続されたメモリセル専用のp型ウエル23にメモリセルを形成する。



【特許請求の範囲】

【請求項1】周辺回路のウエルとは電気的に分離され、かつ、ゼロ・バイアス電圧を供給し得る電圧源に抵抗素子を介して接続されたメモリセル専用のウエルにメモリセルを形成していることを特徴とするダイナミックRAM。

【請求項2】前記メモリセル専用のウエルは、メモリセルの蓄積容量のセルプレートに所定の電圧を供給するセルプレート電圧源に接続された反対導電型のウエル内に形成されていることを特徴とする請求項1記載のダイナミックRAM。

【請求項3】前記抵抗素子は、それに接続されている寄生容量との特定数がありフレッシュ周期よりも長くなるような抵抗値に設定されていることを特徴とする請求項1又は2記載のダイナミックRAM。

【請求項4】電源投入後、所定時間の間は、導通状態となり、前記所定時間経過後は、非導通状態となるように制御されるスイッチ素子を前記抵抗に並列接続していることを特徴とする請求項1、2又は3記載のダイナミックRAM。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は、基板表面に形成された島領域、いわゆるウエルにメモリセルを形成してなるダイナミックRAM (dynamic random access memory、以下、DRAMという) に関する。

【0002】

【従来の技術】従来、半導体集積回路では、MOSトランジスタが形成されたウエルにバックゲート電圧（ウエルバイアス電圧）が印加される。かかるバックゲート電圧は、ウエルに形成されたMOSトランジスタのソースとウエルとの間のpn接合を積極的に逆バイアス状態とするためのものである。

【0003】このように、バックゲート電圧をウエルに印加する場合には、ウエルに形成されたMOSトランジスタのソースの電圧が雑音信号により多少変動しても、ウエルに形成されているMOSトランジスタのソースとウエルとの間のバイアス状態が順方向になって少数キャリアがMOSトランジスタのソースからウエル内に注入されるのを防止することができる。

【0004】特に、DRAMでは、例えば、少数キャリアが周辺回路部のMOSトランジスタからウエル内に注入されてしまうと、これがウエル内に形成されているメモリセルの蓄積電極に吸収され、蓄積データが破壊されてしまう場合があるので、メモリセルが形成されているウエル内への少数キャリアの注入は絶対に避けなければならない。

【0005】したがって、雑音信号レベルを考慮したバックゲート電圧をウエルに印加する必要があるが、近年、MOSトランジスタは微細化され、これに伴い、D

RAMでは、電源電圧の低電圧化が図られているため、チップ上の雑音信号レベルも小さくなり、従来よりもバイアス電圧を小さくする方向にある。

【0006】ここに、消費電力及びリフレッシュ特性の点からすれば、メモリセルが形成されているウエルに対するバックゲート電圧は、小さな値、できれば、ゼロ・バイアス電圧、即ち、pウエルであれば、接地電圧、nウエルであれば、内部電源電圧にバイアスすることが望ましい。

【0007】即ち、アクセス状態では、センスアンプに大電流が流れるため、チップに搭載されたバックゲート電圧生成回路の消費電力は目立たないが、スタンバイ状態では、チップ全体の消費電流はマイクロアンペアオーダーと小さくなるため、バックゲート電圧生成回路の消費電力は目立つようになる。したがって、消費電力の点からして、バックゲート電圧は、小さな値、できれば、ゼロ・バイアス電圧であることが望ましい。

【0008】また、DRAMにおけるリフレッシュ周期は、バックゲート電圧と反比例関係にあり、バックゲート電圧が小さい程、蓄積容量のデータ保持時間を長くして、リフレッシュ周期を長くすることができる。したがって、リフレッシュ特性の点からしても、バックゲート電圧は、小さな値、できれば、ゼロ・バイアス電圧であることが望ましい。

【0009】この場合、メモリセルの転送ゲートをなすMOSトランジスタのスレッシュホールド電圧はバックゲート電圧に応じて調整する必要があるが、例えば、p型ウエルにnMOSトランジスタを形成する場合において、無調整とする場合には、バックゲート電圧は、-1.5

[V]程度とすることが好適で、それよりも深くても、浅くても、リフレッシュ特性は悪化してしまう。

【0010】ここに、最初からバックゲート電圧をゼロ・バイアス電圧とすることを前提として、適正なスレッシュホールド電圧となるように、メモリセルの転送ゲートをなすMOSトランジスタを作っておけば、バックゲート電圧をゼロ・バイアス電圧とすることができる。

【0011】

【発明が解決しようとする課題】しかし、メモリセルが形成されている部分のバックゲート電圧を単純にゼロ・バイアス電圧にしてしまうと、蓄積電極とウエルとの間のpn接合には拡散電位しか加わらなくなり、例えば、信号雑音等に原因して周辺回路のMOSトランジスタがウエルの電圧をわずかに変動させた場合でも、蓄積電極とウエルとの間のpn接合は順方向バイアス状態になって、メモリセルのリフレッシュ特性を悪化させてしまうという問題点があった。

【0012】また、セルプレートは、容量的に蓄積電極と結合しており、セルプレートの電圧変化は、ほぼそのまま蓄積電極の電圧変化となる。このため、メモリセルが形成されている部分のバックゲート電圧を単純にゼロ

・バイアス電圧にした場合において、セルプレートが電圧変化を起こした場合、蓄積電極とウエルとの間のpn接合は順方向バイアス状態になり、蓄積電極からウエル内に少数キャリアが注入され、蓄積データの破壊を招いてしまう場合があるという問題点があった。

【0013】本発明は、かかる点に鑑み、メモリセルが形成されたウエルのバックゲート電圧をゼロ・バイアス電圧として、消費電力の低減化と、リフレッシュ特性の向上化とを図るようにしても、信号雑音等に原因した周辺回路部によるウエル電圧の変動や、セルプレートの電圧変動を原因として蓄積電極とメモリセルが形成されたウエルとの間のpn接合が順方向バイアス状態になることによる蓄積データの破壊を回避できるようにしたDRAMを提供することを目的とする。

【0014】

【課題を解決するための手段】本発明によるDRAMは、周辺回路のウエルとは電氣的に分離され、かつ、ゼロ・バイアス電圧を供給し得る電圧源に抵抗を介して接続されたメモリセル専用のウエルにメモリセルを形成するというものである。

【0015】

【作用】本発明においては、メモリセルが形成されるウエルは、メモリセル専用のウエルとされ、周辺回路のウエルとは電氣的に分離されているので、信号雑音等に原因して周辺回路部のウエルが電圧変動しても、メモリセル専用のウエルは、この影響を受けず、蓄積電極とメモリセル専用のウエルとの間のpn接合が順方向バイアス状態となることはない。

【0016】したがって、信号雑音等に原因した周辺回路によるウエル電圧の変動によって蓄積電極とウエルとの間のpn接合が順方向バイアス状態になることによる蓄積データの破壊を回避できる。

【0017】また、本発明においては、メモリセルが形成されるウエルは、ゼロ・バイアス電圧を供給し得る電圧源に抵抗を介して接続されているので、その電圧変動に対して、メモリセルが形成されているウエルは、フローティング状態となる。

【0018】この結果、セルプレート電圧が変動した場合、その電圧変動は、セルプレートとメモリセルが形成されるウエルとの間の寄生容量を介してウエルに伝達され、メモリセルが形成されるウエルもセルプレート電圧と同様に変動し、蓄積電極とメモリセルが形成されたウエルとが順方向バイアスとなることはない。

【0019】したがって、セルプレートの電圧変動を原因として蓄積電極とメモリセル専用のウエルとの間のpn接合が順方向バイアス状態になることによる蓄積データの破壊を回避できる。

【0020】なお、メモリセル専用のウエルを、メモリセルの蓄積容量のセルプレートに所定の電圧を供給するセルプレート電圧源に接続された反対導電型のウエル内

に形成する場合には、基板の電圧変動の影響を受けないようにすることができる。

【0021】

【実施例】以下、図1及び図2を参照して、本発明の第1実施例及び第2実施例について説明する。

【0022】第1実施例・図1

図1は本発明の第1実施例の要部を示す断面図である。図中、1はn型シリコン基板、2は周辺回路部、3はメモリセルアレイ部である。

【0023】また、周辺回路部2において、4は外部から供給される電源電圧Vcc、例えば、3[V]が入力されるVcc用のパッド、5は接地用のパッド、6は基板1とのコンタクトを図るためのn⁺拡散層であり、基板1は、このn⁺拡散層6を介して3[V]にバイアスされている。

【0024】また、7は外部から供給される3[V]の電源電圧Vccを2[V]の内部電源電圧Vintに降圧する降圧回路であり、この降圧回路7はpMOSトランジスタ8で構成されている。なお、このpMOSトランジスタ8において、9はソースをなすp⁺拡散層、10はドレインをなすp⁺拡散層、11はポリシリコンからなるゲートである。

【0025】また、12は降圧回路7から出力される内部電源電圧Vintを電源電圧として使用する内部電源電圧使用回路であり、この内部電源電圧使用回路12において、13はp型ウエル、14はp型ウエルとのコンタクトを図るためのp⁺拡散層であり、p型ウエル13は、このp⁺拡散層14を介して0[V]にバイアスされている。

【0026】また、15はpMOSトランジスタ、16はnMOSトランジスタであり、pMOSトランジスタ15において、17はソースをなすp⁺拡散層、18はドレインをなすp⁺拡散層、19はポリシリコンからなるゲート、nMOSトランジスタ16において、20はドレインをなすn⁺拡散層、21はソースをなすn⁺拡散層、22はポリシリコンからなるゲートである。

【0027】また、メモリセルアレイ部3において、23はp型ウエル、24はp型ウエル23とのコンタクトを図るためのp⁺拡散層、25は抵抗、26はnMOSトランジスタであり、p型ウエル23は、抵抗25及びnMOSトランジスタ26の並列回路を介して接地されている。

【0028】なお、STXは、電源投入時、電源が所定の電圧に立ち上がるまで、入出力回路を動作させないようにするためのスタート信号であり、タイマー回路の働きで、電源投入時、電源電圧が所定の電圧に立ち上がるまで、Hレベルとされ、電源電圧が所定の電圧に立ち上がった後は、Lレベルとされる。

【0029】したがって、この第1実施例においては、電源投入時、電源電圧が所定の電圧に立ち上がるまで

は、nMOSトランジスタ26はONとされ、p型ウエル23は、nMOSトランジスタ26を介して接地されるので、p型ウエル23の電位を早期に0[V]に安定させることができる。

【0030】また、27は蓄積容量、28はセルプレート、29はセルプレート電圧 V_{pr} として1[V]を生成するセルプレート電圧生成回路であり、30は内部電源電圧線、31、32は抵抗である。

【0031】また、33は転送ゲートをなすnMOSトランジスタであり、34はドレイン（又はソース）をなすn⁺拡散層、35はソース（又はドレイン）をなすn⁺拡散層、36はポリシリコンからなるワード線である、なお、n⁺拡散層34は、蓄積容量27の蓄積電極としても機能するものである。また、37はビット線である。

【0032】この第1実施例においては、周辺回路部2のp型ウエル13とメモリセルアレイ部3のp型ウエル23とは電氣的に分離されているので、電子がnMOSトランジスタ16のソースからp型ウエル13に注入され、p型ウエル13の電圧が変動したとしても、p型ウエル23は、この影響を受けず、蓄積電極34とp型ウエル23との間のpn接合が順方向バイアス状態となることによる蓄積データの破壊を回避することができる。

【0033】また、この第1実施例においては、内部電源電圧 V_{int} が変化すると、セルプレート電位 V_{pr} も変化し、このセルプレート28の電圧変化は、蓄積容量27を介して蓄積電極29の電圧の変化となる。

【0034】ここに、p型ウエル23が抵抗25を介さず完全に接地されている場合には、内部電源電圧 V_{int} の降下により蓄積電極34の電圧が降下した場合、蓄積電極34とp型ウエル23との間のpn接合は順方向バイアス状態になってしまう。

【0035】この場合、仮に、蓄積容量27がデータ「0」を蓄積している場合、蓄積電極34からp型ウエル23に電子が注入されてしまい、蓄積データが「1」に変化してしまう場合がある。

【0036】ところが、この第1実施例においては、p型ウエル23は、抵抗25を介して接地されているので、電圧変化に対して、p型ウエル23は、実質的に、フローティングとなる。

【0037】この結果、内部電源電圧 V_{int} の降下によりセルプレート電圧 V_{pr} が降下した場合、セルプレート28とp型ウエル23との間の寄生容量 C_{pw} を介して、セルプレート電位 V_{pr} に連動してp型ウエル23の電位も降下し、蓄積電極34とp型ウエル23との間のpn接合は順方向バイアス状態にはならず、逆方向バイアスを維持する。

【0038】したがって、この第1実施例によれば、セルプレート28の電圧変動を原因として蓄積電極34とp型ウエル23との間のpn接合が順方向バイアス状態

になることによる蓄積データの破壊を回避できる。

【0039】なお、内部電源電圧 V_{int} が急降下し、これが長い間、続いた場合において、抵抗25が作る時定数が短いと、p型ウエル23の電位は、短期間の間に、過渡的降下状態から0[V]に回復してしまい、この過程で、蓄積電極34とp型ウエル23との間のバイアス状態が順方向バイアスとなり、蓄積電極34からp型ウエル23に電子が注入してしまう。

【0040】これに対し、抵抗25が作る時定数がリフレッシュ周期よりも長ければ、p型ウエル23の電位が過渡的降下状態から0[V]に回復する前に、蓄積容量27に対する再書込みが行われ、蓄積電極34とp型ウエル23のpn接合が順方向バイアス状態になることはない。したがって、抵抗25は、p型ウエル23のまわりの寄生容量との時定数がリフレッシュ周期よりも長くなるような抵抗値に設定することが好適である。

【0041】また、抵抗25を介してp型ウエル23を接地すると、p型ウエル23内を流れる電流と抵抗25によってドロップ電圧が発生するが、nMOSトランジスタ33は蓄積電荷を転送するだけであるから大電流は流れず、p型ウエルを流れる電流も僅かであり、抵抗25を介してp型ウエル23を接地しても問題はない。

【0042】以上のように、この第1実施例によれば、p型ウエル23のバックゲート電圧をゼロ・バイアス電圧である0[V]とし、消費電力の低減化と、リフレッシュ特性の向上化とを図るようにしているが、信号雑音等に原因した周辺回路部2によるウエル電圧の変動や、セルプレート28の電圧変動を原因として蓄積電極34とp型ウエル23との間のpn接合が順方向バイアス状態になることによる蓄積データの破壊を回避できる。

【0043】なお、セルプレート28とp型ウエル23との間に意図的に容量を入れ、p型ウエル23の電位がセルプレート28の電位 V_{pr} に追従し易くしても良いが、セルプレート23の電位変動が外部から供給される電源電圧 V_{cc} から発生している場合には、基板1がn型で電源電圧 V_{cc} となっているため、基板1とp型ウエル23との間の接合容量 C_{ws} を介してp型ウエル23の電圧が変調されるので、特に容量を意図的に入れる必要はない。

【0044】但し、一般に内部電源電圧 V_{int} の変化に対してセルプレート28の電圧変化は概ねその半分になるため、接合容量 C_{ws} を通じてウエル電位が変調された場合、接合電位の変化に対して過剰に変化を与えてしまう恐れがある。

【0045】即ち、外部から供給される電源電圧 V_{cc} が急上昇した場合に、p型ウエル23の電位が上昇し、セルプレート28の電位の上昇に伴って上昇する蓄積電極34の電圧上昇分以上になってしまうと、やはり、蓄積電極34とp型ウエル23とのバイアス状態は順方向になってしまう。

【0046】特に、このような事態は、この第1実施例のように、降圧回路7を設け、外部から供給される電源電圧 V_{cc} をチップ内で降圧し、この降圧電圧を内部電源電圧として使用している場合には顕著である。なぜなら、降圧電圧 V_{int} は回路の工夫で非常に安定にできるが、外部電圧は変動が大きいという環境があり得るからである。

【0047】このように、この第1実施例においては、外部から供給される電源電圧 V_{cc} が急上昇すると、基板1とp型ウエル23との接合容量 C_{js} を介してp型ウエル23の電圧を上昇させてしまい、蓄積電極34とp型ウエル23との間を順方向バイアスさせてしまう場合があるという不都合があった。この不都合を解消したのが、次に述べる第2実施例である。

【0048】第2実施例・図2

図2は本発明の第2実施例の要部を示す断面図である。図中、38はp型シリコン基板、39は周辺回路部、40はメモリセルアレイ部である。

【0049】また、周辺回路部39において、41は外部から供給される電源電圧 V_{cc} 、例えば、3[V]が入力される V_{cc} 用のパッド、42は接地用のパッド、43は基板38とのコンタクトを図るためのp⁺拡散層であり、基板38は、このp⁺拡散層43を介して0[V]にバイアスされている。

【0050】また、44は外部から供給される3[V]の電源電圧 V_{cc} を2[V]の内部電源電圧 V_{int} に降圧する降圧回路であり、この降圧回路44において、45はn型ウエル、46はn型ウエル45とのコンタクトを図るためのn⁺拡散層であり、n型ウエル45は、このn⁺拡散層46を介して3[V]にバイアスされている。

【0051】また、47は降圧を行うためのpMOSトランジスタであり、48はソースをなすp⁺拡散層、49はドレインをなすp⁺拡散層、50はポリシリコンからなるゲートである。

【0052】また、51は降圧回路44から出力される内部電源電圧 V_{int} を電源電圧として使用する内部電源電圧使用回路であり、この内部電源電圧使用回路51において、52はn型ウエル、53はn型ウエル52とのコンタクトを図るためのn⁺拡散層であり、n型ウエル52は、このn⁺拡散層53を介して2[V]にバイアスされている。

【0053】また、54はpMOSトランジスタ、55はnMOSトランジスタであり、pMOSトランジスタ54において、56はソースをなすp⁺拡散層、57はドレインをなすp⁺拡散層、58はポリシリコンからなるゲート、nMOSトランジスタ55において、59はドレインをなすn⁺拡散層、60はソースをなすn⁺拡散層、61はポリシリコンからなるゲートである。

【0054】また、メモリセルアレイ部40において、

62はp型ウエル、63はp型ウエル62とのコンタクトを図るためのp⁺拡散層、64は抵抗、65はnMOSトランジスタであり、p型ウエル62は、抵抗64及びnMOSトランジスタ65の並列回路を介して接地されている。

【0055】なお、STXは、第1実施例で説明したように、電源投入時、電源が所定の電圧に立ち上がるまで、入出力回路を動作させないようにするためのスタータ信号であり、タイマー回路の働きで、電源投入時、電源電圧が所定の電圧に立ち上がるまで、Hレベルとされ、電源電圧が所定の電圧に立ち上がった後は、Lレベルとされる。

【0056】したがって、この第2実施例においても、電源投入時、電源電圧が所定の電圧に立ち上がるまでは、nMOSトランジスタ26はONとされ、p型ウエル23は、nMOSトランジスタ26を介して接地されるので、p型ウエル23の電位を早期に0[V]に安定させることができる。

【0057】また、66は蓄積容量、67はセルプレート、68はセルプレート電圧 V_{pr} として1[V]を生成するセルプレート電圧生成回路であり、69は内部電源電圧線、70、71は抵抗である。

【0058】また、72は転送ゲートをなすnMOSトランジスタであり、73はドレイン（又はソース）をなすn⁺拡散層、74はソース（又はドレイン）をなすn⁺拡散層、75はポリシリコンからなるワード線である。なお、n⁺拡散層73は、蓄積容量66の蓄積電極としても機能するものである。また、76はビット線である。

【0059】また、77はn型ウエル、78はn型ウエル77とのコンタクトを図るためのn⁺拡散層であり、この例では、n⁺拡散層78は、セルプレート67に接続され、n型ウエル77は、セルプレート電圧 V_{pr} にバイアスされている。

【0060】この第2実施例においても、p型ウエル62はメモリセル専用に使われており、周辺回路とは共用されていない。したがって、周辺回路の影響によって蓄積電極73とp型ウエル62との間のpn接合が順方向バイアス状態となることによる蓄積データの破壊を回避することができる。

【0061】また、この第2実施例においては、内部電源電圧 V_{int} が変化すると、セルプレート電位 V_{pr} も変化し、このセルプレート67の電圧変化は、蓄積容量66を介して蓄積電極73の電圧の変化となる。

【0062】ここに、この第2実施例においては、p型ウエル62は、抵抗64を介して接地されているので、電圧変化に対して、p型ウエル62は、実質的に、フローティングとなる。

【0063】この結果、内部電源電圧 V_{int} の降下によりセルプレート電圧 V_{pr} が降下した場合、セルプレート

67とp型ウエル62との間の寄生容量 C_{pn} を介して、セルプレート電位 V_{pr} に連動してp型ウエル62の電位も降下し、蓄積電極73とp型ウエル62との間のpn接合は順方向バイアス状態にはならず、逆方向バイアスを維持する。

【0064】したがって、この第2実施例によれば、セルプレート67の電圧変動を原因として蓄積電極73とp型ウエル62との間のpn接合が順方向バイアス状態になることによる蓄積データの破壊を回避できる。なお、抵抗64は、第1実施例の場合と同様に、p型ウエル62のまわりの寄生容量との時定数がリフレッシュ周期よりも大きくなるような抵抗値であることが好適である。

【0065】また、この第2実施例においては、p型ウエル62は、セルプレート電圧 V_{pr} がバイアス電圧として供給されるn型ウエル77内に形成されているので、基板38の電圧変動には影響されず、セルプレート67の電圧にのみ影響されることになる。

【0066】即ち、例えば、基板38の電圧が急上昇したとしても、p型ウエル62は、急上昇せず、蓄積電極73とp型ウエル62とのバイアス状態が順方向になることはない。したがって、基板38の電圧変動による蓄積データの破壊を回避することができる。

【0067】以上のように、この第2実施例によれば、p型ウエル62のバックゲート電圧をゼロ・バイアスである0[V]とし、消費電力の低減化と、リフレッシュ特性の向上化とを図るようにしているが、信号雑音等に原因した周辺回路部39によるウエル電圧の変動や、セルプレート67の電圧変動を原因として蓄積電極73とp型ウエル62との間のpn接合が順方向バイアス状態になることによる蓄積データの破壊を回避できると共に、基板電圧38の電圧変動による蓄積データの破壊を回避することができる。

【0068】なお、上述の実施例においては、メモリセ

ルの転送ゲートをなすトランジスタをnMOSトランジスタで構成した場合につき述べたが、本発明は、メモリセルの転送ゲートをなすトランジスタをpMOSトランジスタで構成する場合にも適用することができる。

【0069】この場合、メモリセルを形成するウエルはn型のウエルとし、このn型ウエルは、抵抗を介して内部電源電圧線に接続するようにする。また、メモリセルを形成するウエルをセルプレート電圧が供給されるウエル内に形成する場合、このウエルはp型にする。

【0070】

【発明の効果】本発明によれば、メモリセルが形成されるウエルのバックゲート電圧をゼロ・バイアス電圧として、消費電力の低減化と、リフレッシュ特性の向上化とを図るようにしているが、メモリセルが形成されるウエルは、メモリセル専用のウエルとされ、かつ、ゼロ・バイアス電圧を供給し得る電圧源に抵抗を介して接続されているので、信号雑音等に原因した周辺回路部によるウエル電圧の変動や、セルプレートの電圧変動を原因として蓄積電極とメモリセルが形成されるウエルとの間のpn接合が順方向バイアス状態になることによる蓄積データの破壊を回避できる。

【図面の簡単な説明】

【図1】本発明の第1実施例の要部を示す断面図である。

【図2】本発明の第2実施例の要部を示す断面図である。

【符号の説明】

27 蓄積電極

28 セルプレート

33 転送ゲートをなすnMOSトランジスタ

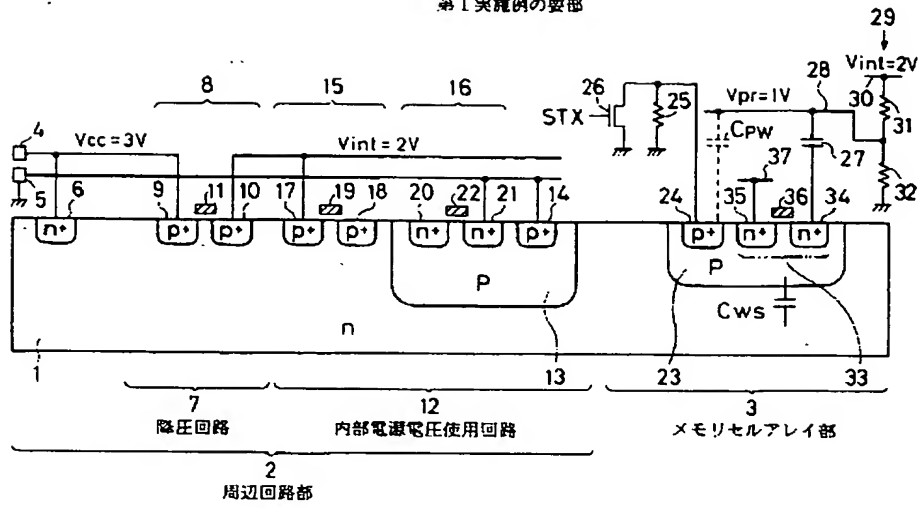
66 蓄積電極

67 セルプレート

72 転送ゲートをなすnMOSトランジスタ

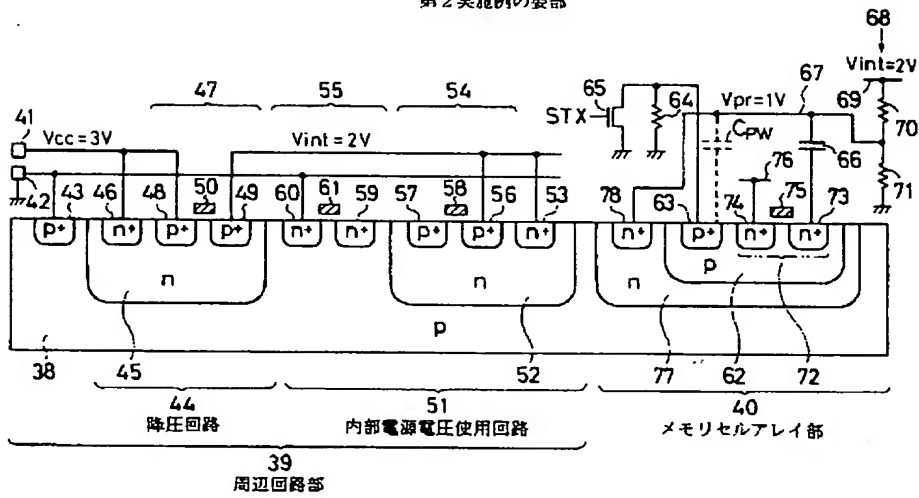
【図1】

第1実施例の要部



【図2】

第2実施例の要部



【特許請求の範囲】

【請求項1】 周辺回路のウエルとは電氣的に分離され、かつ、ゼロ・バイアス電圧を供給し得る電圧源に抵抗素子を介して接続されたメモリセル専用のウエルにメモリセルを形成していることを特徴とするダイナミックRAM。

【請求項2】 前記メモリセル専用のウエルは、メモリセルの蓄積容量のセルプレートに所定の電圧を供給するセルプレート電圧源に接続された反対導電型のウエル内に形成されていることを特徴とする請求項1記載のダイナミックRAM。

【請求項3】 前記抵抗素子は、それに接続されている寄生容量との時定数がリフレッシュ周期よりも長くなるような抵抗値に設定されていることを特徴とする請求項1又は2記載のダイナミックRAM。

【請求項4】 電源投入後、所定時間の間は、導通状態となり、前記所定時間経過後は、非導通状態となるように制御されるスイッチ素子を前記抵抗に並列接続していることを特徴とする請求項1、2又は3記載のダイナミックRAM。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、基板表面に形成された島領域、いわゆるウエルにメモリセルを形成してなるダイナミックRAM (dynamic random access memory、以下、DRAMという) に関する。

【0002】

【従来の技術】 従来、半導体集積回路では、MOSトランジスタが形成されたウエルにバックゲート電圧 (ウエルバイアス電圧) が印加される。かかるバックゲート電圧は、ウエルに形成されたMOSトランジスタのソースとウエルとの間のpn接合を積極的に逆バイアス状態とするためのものである。

【0003】 このように、バックゲート電圧をウエルに印加する場合には、ウエルに形成されたMOSトランジスタのソースの電圧が雑音信号により多少変動しても、ウエルに形成されているMOSトランジスタのソースとウエルとの間のバイアス状態が順方向になって少数キャリアがMOSトランジスタのソースからウエル内に注入されるのを防止することができる。

【0004】 特に、DRAMでは、例えば、少数キャリアが周辺回路部のMOSトランジスタからウエル内に注入されてしまうと、これがウエル内に形成されているメモリセルの蓄積電極に吸収され、蓄積データが破壊されてしまう場合があるので、メモリセルが形成されているウエル内への少数キャリアの注入は絶対に避けなければならない。

【0005】 したがって、雑音信号レベルを考慮したバックゲート電圧をウエルに印加する必要があるが、近年、MOSトランジスタは微細化され、これに伴い、D

RAMでは、電源電圧の低電圧化が図られているため、チップ上の雑音信号レベルも小さくなり、従来よりもバイアス電圧を小さくする方向にある。

【0006】 ここに、消費電力及びリフレッシュ特性の点からすれば、メモリセルが形成されているウエルに対するバックゲート電圧は、小さな値、できれば、ゼロ・バイアス電圧、即ち、pウエルであれば、接地電圧、nウエルであれば、内部電源電圧にバイアスすることが望ましい。

【0007】 即ち、アクセス状態では、センスアンプに大電流が流れるため、チップに搭載されたバックゲート電圧生成回路の消費電力は目立たないが、スタンバイ状態では、チップ全体の消費電流はマイクロアンペアオーダーと小さくなるため、バックゲート電圧生成回路の消費電力は目立つようになる。したがって、消費電力の点からして、バックゲート電圧は、小さな値、できれば、ゼロ・バイアス電圧であることが望ましい。

【0008】 また、DRAMにおけるリフレッシュ周期は、バックゲート電圧と反比例関係にあり、バックゲート電圧が小さい程、蓄積容量のデータ保持時間を長くして、リフレッシュ周期を長くすることができる。したがって、リフレッシュ特性の点からしても、バックゲート電圧は、小さな値、できれば、ゼロ・バイアス電圧であることが望ましい。

【0009】 この場合、メモリセルの転送ゲートをなすMOSトランジスタのスレッショルド電圧はバックゲート電圧に応じて調整する必要があるが、例えば、p型ウエルにnMOSトランジスタを形成する場合において、無調整とする場合には、バックゲート電圧は、-1.5

[V] 程度とすることが好適で、それよりも深くても、浅くても、リフレッシュ特性は悪化してしまう。

【0010】 ここに、最初からバックゲート電圧をゼロ・バイアス電圧とすることを前提として、適正なスレッショルド電圧となるように、メモリセルの転送ゲートをなすMOSトランジスタを作っておけば、バックゲート電圧をゼロ・バイアス電圧とすることができる。

【0011】

【発明が解決しようとする課題】 しかし、メモリセルが形成されている部分のバックゲート電圧を単純にゼロ・バイアス電圧にしてしまうと、蓄積電極とウエルとの間のpn接合には拡散電位しか加わらなくなり、例えば、信号雑音等に原因して周辺回路のMOSトランジスタがウエルの電圧をわずかに変動させた場合でも、蓄積電極とウエルとの間のpn接合は順方向バイアス状態になって、メモリセルのリフレッシュ特性を悪化させてしまうという問題点があった。

【0012】 また、セルプレートは、容量的に蓄積電極と結合しており、セルプレートの電圧変化は、ほぼそのまま蓄積電極の電圧変化となる。このため、メモリセルが形成されている部分のバックゲート電圧を単純にゼロ